

VOLTAGE GENERATOR AND SEMICONDUCTOR MEMORY USING THE VOLTAGE GENERATOR

Patent number: JP2000331479

Publication date: 2000-11-30

Inventor: KANEKO TETSUYA; OKAMURA JUNICHI

Applicant: TOSHIBA CORP

Classification:

- International: G11C11/407; G11C16/06; H01L27/04; H01L21/822; H01L27/108; H01L21/8242

- european:

Application number: JP20000089733 20000328

Priority number(s):

Also published as:

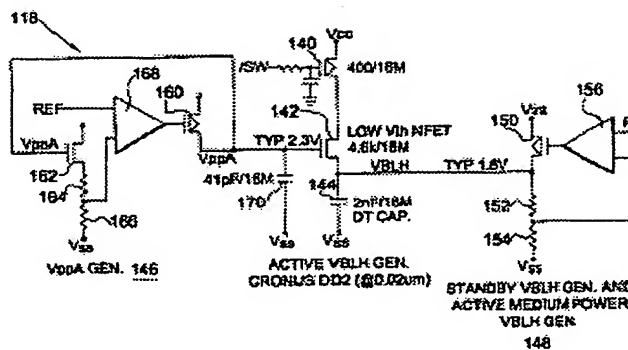


US6140805 (A)

Abstract of JP2000331479

PROBLEM TO BE SOLVED: To reduce current consumption by providing a first transistor of a first conduction type of which a first terminal is connected to an output terminal, a feedback regulator connected to its output terminal, and a switch connected between a first voltage node and a second terminal of the first transistor.

SOLUTION: A VBLH generator is provided with a (p) channel MOS transistor 140 connected between a power source VCC and a power source VSS in series, an (n) channel MOS transistor 142, and a capacitor 144. A switching signal/SW is supplied to a gate of the (p) channel MOS transistor 140. Output voltage VBLH is outputted from a connection node of the (n) channel MOS transistor 142 and the capacitor 144. A feedback regulator 148 adjusts this output voltage VBLH. Thereby, rise of voltage caused by leak of sub-threshold can be suppressed to the minimum, and stable output voltage VBLH can be supplied.



(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開 2000-331479

(P 2000-331479A)

(43)公開日 平成12年11月30日(2000.11.30)

(51)Int. Cl. ⁷	識別記号	F I	テームド(参考)		
G 1 1 C	11/407 .	G 1 1 C	11/34	3 5 4	F
	16/06		17/00	6 3 2	A
H 0 1 L	27/04	H 0 1 L	27/04		B
	21/822		27/10	6 8 1	F
	27/108			6 8 1	G
審査請求 未請求 請求項の数 1 2		O L	(全 1 3 頁) 最終頁に続く		

(21)出願番号 特願2000-89733(P2000-89733)

(22)出願日 平成12年3月28日(2000.3.28)

(31)優先権主張番号 09/313274

(32)優先日 平成11年5月18日(1999.5.18)

(33)優先権主張国 米国 (U S)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 金子 哲也

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 岡村 淳一

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100058479

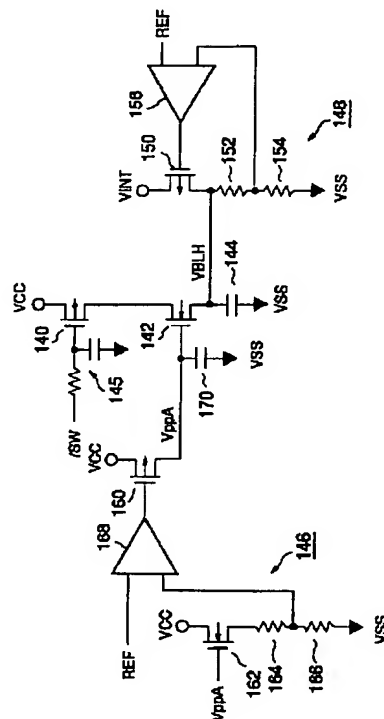
弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 電圧発生器及びこの電圧発生器を用いた半導体記憶装置

(57)【要約】

【課題】 装置のスタンバイ、プリチャージ、あるいは低周波動作時におけるサブスレシヨルドリークによる電圧上昇を最小限に抑えたと共に安定な電圧を供給でき、消費電流を小さくできる電圧発生器を提供することを目的とする。

【解決手段】 第1の端子が出力端子に接続された第1導電型の第1トランジスタと、上記出力端子に接続されたフィードバックレギュレータとを備え、出力端子から出力電圧を生成する電圧発生器であって、電圧ノードと上記第1トランジスタの第2の端子間にスイッチを接続し、スイッチング信号で制御することを特徴としている。



【特許請求の範囲】

【請求項1】 第1の端子が出力端子に接続された第1導電型の第1トランジスタと、前記出力端子に接続されたフィードバックレギュレータと、第1電圧ノードと前記第1トランジスタの第2の端子間に接続され、スイッチング信号を受けるスイッチとを具備し、前記出力端子に電圧を生成することを特徴とする電圧発生器。

【請求項2】 前記スイッチは、第1の端子が前記第1電圧ノードに接続され、第2の端子が前記第1トランジスタの前記第2の端子に接続され、ゲートに前記スイッチング信号を受ける第2導電型の第2トランジスタを備えることを特徴とする請求項1に記載の電圧発生器。

【請求項3】 前記スイッチング信号を生成する回路を更に備え、この回路で生成したスイッチング信号により、前記第1トランジスタがオフの時は前記スイッチをオフに、前記第1トランジスタがオンの時は前記スイッチをオンにすることを特徴とする請求項1に記載の電圧発生器。

【請求項4】 基準電圧が供給され、電圧を生成して前記第1トランジスタのゲートに供給する電圧発生回路を更に備えることを特徴とする請求項1に記載の電圧発生器。

【請求項5】 前記電圧発生回路は、第1の端子が第2電圧ノードに接続され、第2の端子が前記第1トランジスタのゲートに接続された第2導電型の第2トランジスタと、

第1の端子が第3電圧ノードに接続され、ゲートが前記第2トランジスタの前記第2の端子に接続された第1導電型の第3トランジスタと、

第1の端子が前記第3トランジスタの第2の端子に接続された第1抵抗素子と、

第1の端子が前記第1抵抗素子の第2の端子に接続され、第2の端子が第4電圧ノードに接続された第2抵抗素子と、

第1の入力端子に基準電位が印加され、第2の入力端子が前記第1、第2抵抗素子間のノードに接続され、出力端子が前記第2トランジスタのゲートに接続されたコンパレータと、

前記第1トランジスタのゲートと前記第4電圧ノード間に接続されたキャパシタとを備えることを特徴とする請求項4に記載の電圧発生器。

【請求項6】 前記フィードバックレギュレータは、第1の端子が前記出力端子に接続され、第2の端子が第2電圧ノードに接続された第2導電型の第2トランジスタと、

第1の端子が前記出力端子に接続された第1抵抗素子と、

第1の端子が前記第1抵抗素子の第2の端子に接続され、第2の端子が第3電圧ノードに接続された第2抵抗素子と、

第1の入力端子に基準電位が印加され、第2の入力端子が前記第1、第2抵抗素子の接続ノードに接続され、出力端子が前記第2トランジスタのゲートに接続されたコンパレータとを備えることを特徴とする請求項1に記載の電圧発生器。

【請求項7】 ビット線に接続されたメモリセルと、前記ビット線の電位差を増幅するセンスアンプと、出力端子に電圧を生成し、前記センスアンプに供給する電圧発生器とを具備し、前記電圧発生器は、第1の端子が前記出力端子に接続された第1導電型の第1トランジスタと、前記出力端子に接続されたフィードバックレギュレータと、第1電圧ノードと前記第1トランジスタの第2の端子間に接続され、スイッチング信号を受けるスイッチとを備えることを特徴とする半導体記憶装置。

【請求項8】 前記フィードバックレギュレータは、第1の端子が前記出力端子に接続され、第2の端子が第2電圧ノードに接続された第2導電型の第2トランジスタと、第1の端子が前記出力端子に接続された第1抵抗素子と、第1の端子が前記第1抵抗素子の第2の端子に接続され、第2の端子が第3電圧ノードに接続された第2抵抗素子と、

第1の入力端子に基準電位が印加され、第2の入力端子が前記第1、第2抵抗素子の接続ノードに接続され、出力端子が前記第2トランジスタのゲートに接続されたコンパレータとを備えることを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】 前記メモリセルは、それぞれがトレンチキャパシタとスイッチングトランジスタとを備えることを特徴とする請求項7に記載の半導体記憶装置。

【請求項10】 前記スイッチは、第1の端子が前記第1電圧ノードに接続され、第2の端子が前記第1トランジスタの前記第2の端子に接続され、ゲートに前記スイッチング信号を受ける第2導電型の第2トランジスタを備えることを特徴とする請求項7に記載の半導体記憶装置。

【請求項11】 前記スイッチング信号を生成する回路を更に備え、この回路で生成したスイッチング信号により、前記第1トランジスタがオフの時は前記スイッチをオフに、前記第1トランジスタがオンの時は前記スイッチをオンにすることを特徴とする請求項7に記載の半導体記憶装置。

【請求項12】 基準電圧が供給され、電圧を生成して

前記第1トランジスタのゲートに電圧を供給する電圧発生回路を更に備えることを特徴とする請求項7に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電圧発生器及びこの電圧発生器を用いた半導体記憶装置に関する。

【0002】

【従来の技術】図8は、半導体記憶装置におけるビット線対BL、 \overline{BL} の電位差を増幅するためのセンスアンプ回路1と、その周辺回路の一部を抽出して示す回路図である。ビット線対BL、 \overline{BL} には、例えばDRAMセルのようなメモリセル（図示せず）が接続されている。上記センスアンプ回路1は、pチャネル型MOSトランジスタ2、3とnチャネル型MOSトランジスタ4、5とを備えている。pチャネル型MOSトランジスタ2のゲートはビット線 \overline{BL} に接続され、電流通路の一端はビット線BLに接続されている。pチャネル型MOSトランジスタ3のゲートはビット線BLに接続され、電流通路の一端はビット線 \overline{BL} に接続されている。上記pチャネル型MOSトランジスタ2、3の電流通路の他端は、共に駆動信号線7に接続され、選択的にセンスアンプ駆動信号SAPが供給される。nチャネル型MOSトランジスタ4のゲートは、ビット線 \overline{BL} に接続され、電流通路の一端はビット線BLに接続されている。nチャネル型MOSトランジスタ5のゲートはビット線BLに接続され、電流通路の一端はビット線 \overline{BL} に接続されている。上記nチャネル型MOSトランジスタ4、5の電流通路の他端はそれぞれ、駆動信号線8に接続され、選択的にセンスアンプ駆動信号 \overline{SAP} が供給される。

【0003】上記センスアンプ回路1には、pチャネル型駆動MOSトランジスタ6とVBLH（voltage bit line high）発生器10が接続されている。上記pチャネル型駆動MOSトランジスタ6の電流通路の一端が駆動信号線7に接続され、電流通路の他端がVBLH発生器10に接続される。このpチャネル型駆動MOSトランジスタ6のゲートには、上記pチャネル型MOSトランジスタ2、3の各電流通路の他端にセンスアンプ駆動信号SAPを供給するために、当該pチャネル型駆動MOSトランジスタ6をオン/オフ制御するためのスイッチング信号SSが供給される。

【0004】図9は、上記図8に示した回路におけるVBLH発生器10として用いられる、従来のpMOS電圧発生器を示している。このpMOS電圧発生器10は、コンパレータ12、pチャネル型MOSトランジスタ14、及び第1、第2の抵抗素子16、18を備えている。上記pチャネル型MOSトランジスタ14と抵抗素子16、18は、電源VCC（例えば3.3V）と電源VSS（例えば接地）間に直列接続されており、pチャネル型MOSトランジスタ14と抵抗素子16との接続ノードを電圧VBLHを出力するための出力端子としている。この出力電圧VBLHは、例えば1.8Vである。コンパレータ12の第1の入力端子には基準電位Vrefが供給され、第2の入力端子には第1、第2の抵抗素子16、18の接続ノードから、出力電圧VBLHを抵抗素子16、18で分圧した電圧がフィードバックされ、その出力電圧が上記pチャネル型MOSトランジスタ14のゲートに供給される。

【0005】しかしながら、図9に示したような構成のpMOS電圧発生器10では、フィードバック動作が比較的遅く、また必要とするピーク電流を得難いという問題がある。この問題を解決するために、図10に示すようなアクティブキッカー（active-kicker）と呼ばれる素子を設けた構成が提案されている。このアクティブキッカーは、電流通路がpMOS電圧発生器10の出力端子と電源VCC間に接続されたpチャネル型MOSトランジスタ20である。このpチャネル型MOSトランジスタ20がオンすることで出力端子に大きな電流が供給され、それにより電圧発生器10の応答速度を向上できる。しかし、このアクティブキッカーを設けることはノイズの原因となり、また電流IBLH（current bit line high）が、例えばビット線に接続されているメモリセルに格納されているデータのデータパターン、メモリセル容量、及びビット線容量等の様々な要因に依存するため、適切な電流IBLHを供給し難いという新たな問題を生ずる。

【0006】図11は、従来のnMOSソースフォロウ型の電圧発生器の構成例を示している。この電圧発生器40は、VppA発生器32とnチャネル型駆動MOSトランジスタ34とを備えている。上記VppA発生器32は、基準電位Vrefから電圧VppA（例えば2.3V）を発生するものである。上記nチャネル型駆動MOSトランジスタ34の電流通路の一端は電源VCC（例えば3.3V）に接続され、ゲートには上記VppA発生器32の出力電圧VppAが供給される。nチャネル型駆動MOSトランジスタ34は、例えばトータルのチャネル幅が約74mm、チャネル長が約0.36μmの比較的大きなトランジスタである。この電圧発生器40からは、例えば1.8Vの電圧VBLHが出力される。

【0007】図12（a）、（b）はそれぞれ、上記図11に示した回路におけるVppA発生器32の具体的な回路構成例を示している。図12（a）に示すVppA発生器32は、コンパレータ41、pチャネル型MOSトランジスタ42、及び第1、第2の抵抗素子43、44を備えている。上記pチャネル型MOSトランジスタ42と抵抗素子43、44は、電源VCC（例えば3.3V）と電源VSS（例えば接地）間に直列接続されており、pチャネル型MOSトランジスタ42と抵抗素子43との接続ノードを電圧VppAを出力するための出力端子としている。この出力電圧VppAは、例えば2.3Vである。コンパレータ41の第1の入力端子には基準電位Vrefが供給され、第2の入力端子には第1、第2の抵抗素子43、44の接続ノードから、出力電圧VppAを抵抗素子43、44で分圧した電圧がフィードバックされ、その出力電圧が上記pチャネル型MOSトランジスタ42のゲートに供給される。

【0008】図12（b）は、図12（a）に示すVppA発生器32の他の構成例を示している。このVppA発生器32は、コンパレータ41、pチャネル型MOSトランジスタ42、及び第1、第2の抵抗素子43、44を備えている。上記pチャネル型MOSトランジスタ42と抵抗素子43、44は、電源VCC（例えば3.3V）と電源VSS（例えば接地）間に直列接続されており、pチャネル型MOSトランジスタ42と抵抗素子43との接続ノードを電圧VppAを出力するための出力端子としている。この出力電圧VppAは、例えば2.3Vである。コンパレータ41の第1の入力端子には基準電位Vrefが供給され、第2の入力端子には第1、第2の抵抗素子43、44の接続ノードから、出力電圧VppAを抵抗素子43、44で分圧した電圧がフィードバックされ、その出力電圧が上記pチャネル型MOSトランジスタ42のゲートに供給される。

素子43との接続ノードを電圧 V_{ppA} を出力するための出力端子としている。コンパレータ41の第1の入力端子には基準電位 V_{ref} が供給され、第2の入力端子には第1、第2の抵抗素子43、44の接続ノードから、出力電圧 V_{ppA} を抵抗素子43、44で分圧した電圧がフィードバックされ、その出力電圧が上記pチャネル型MOSトランジスタ42のゲートに供給されるようになっている。

【0008】一方、図12(b)に示す V_{ppA} 発生器32は、コンパレータ45、チャージポンプ型の昇圧回路46、nチャネル型MOSトランジスタ47、及び第1、第2の抵抗素子48、49を備えている。上記コンパレータ45の第1の入力端子には基準電位 V_{ref} が供給され、その出力電圧がチャージポンプ型の昇圧回路46に供給されて昇圧される。この昇圧回路46の出力端子と電源 V_{SS} 間には、上記nチャネル型MOSトランジスタ47と抵抗素子48、49が直列に接続されており、上記nチャネル型MOSトランジスタ47のゲートは昇圧回路46の出力端子に接続されている。そして、上記抵抗素子48、49の接続ノードの電圧が上記コンパレータ45の第2の入力端子にフィードバックされ、上記昇圧回路46の出力端子から電圧 V_{ppA} を出力する。

【0009】上記図11及び図12(a)、(b)に示した電圧発生器40は、負荷電流の急峻な変化に敏感であるという点で優れている。しかし、図14(a)を参照すれば明らかなように、nチャネル型駆動MOSトランジスタ34のサブスレショルド電流は、プリチャージサイクル(スタンバイ状態を含む)と低周波動作状態において出力電圧 V_{BLH} を徐々に上昇させる。この電圧クリープの度合いはnチャネル型駆動MOSトランジスタの特性に依存するが、このようなクリープはリストアレベルやセンスマージンに悪影響を及ぼす。

【0010】この電圧クリープの解決手段の1つは、図13に示すように電流ブリーダー(current bleeder)回路36を設けることである。電流ブリーダー回路36は、nチャネル型駆動MOSトランジスタ34のサブスレショルド電流と同等の電流を流すように設計されていれば、図14(b)に示すように電圧クリープを解消できる。一般的に、サブスレショルド電流によるリークは、装置の動作/スタンバイ状態に依存しないが、電圧クリープを完全に解消するためには装置のスタンバイ状態においても大きなブリーダー電流が必要である。しかしながら、この電流ブリーダー回路は電圧発生器の消費電流を増加させる。例えば64MビットDRAMの場合、電圧クリープを十分に抑えようとした場合にはスタンバイ状態においても1mA程度のブリーダー電流を垂れ流すことが必要になる。もし大きな電流 I_{BLH} を供給してそれにより応答速度を改善するために、nチャネル型駆動MOSトランジスタ34のサイズを増大させ

ると、ブリーダー電流はサブスレショルド電流の増加に対応させて増加させる必要がある。256MビットDRAMの場合、nチャネル型駆動MOSトランジスタ34のサイズは64MビットDRAMの4倍に増大し、その結果、ブリーダー電流も64MビットDRAMの4倍に増加する。その上、実際のサブスレショルドリーク電流が設計値と異なっていた場合(例えばプロセスにおける誤差等)には、電流の補償は困難になり電圧 V_{BLH} の特性が悪化するという問題がある。

【0011】特に、256MビットDRAMのような集積度の高い半導体記憶装置などの場合には、ビット線との接続により、電流 I_{BLH} は非常に大きく、且つスパイク状の急峻な電流となることがある。従って、 V_{BLH} 発生器の構造及び動作は、高集積度の半導体記憶装置において非常に重要な設計事項である。

【0012】

【発明が解決しようとする課題】上記のように、従来の電圧発生器は、16MビットDRAM等の半導体記憶装置に対しては有効であったが、256MビットDRAMのような高集積度の半導体記憶装置では、装置のスタンバイ、プリチャージ、あるいは低周波動作時におけるサブスレショルドリークによる電圧上昇を抑えようとする、安定な電圧を供給できないという問題があった。

【0013】この発明は上記事情に鑑みてなされたもので、その目的とするところは、装置のスタンバイ、プリチャージ、あるいは低周波動作時におけるサブスレショルドリークによる電圧上昇を最小限に抑えると共に安定な電圧を供給できる電圧発生器及びこの電圧発生器を用いた半導体記憶装置を提供することにある。

【0014】また、この発明の別の目的は、消費電流を小さくできる電圧発生器及びこの電圧発生器を用いた半導体記憶装置を提供することにある。

【0015】

【課題を解決するための手段】この発明の電圧発生器は、第1の端子が出力端子に接続された第1導電型の第1トランジスタと、前記出力端子に接続されたフィードバックレギュレータと、第1電圧ノードと前記第1トランジスタの第2の端子間に接続され、スイッチング信号を受けるスイッチとを具備し、前記出力端子に電圧を生成することを特徴としている。

【0016】また、上記構成の電圧発生器において、下記(a)～(e)のような特徴を備えている。

【0017】(a)前記スイッチは、第1の端子が前記第1電圧ノードに接続され、第2の端子が前記第1トランジスタの前記第2の端子に接続され、ゲートに前記スイッチング信号を受ける第2導電型の第2トランジスタを備える。

【0018】(b)前記スイッチング信号を生成する回路を更に備え、この回路で生成したスイッチング信号により、前記第1トランジスタがオフの時は前記スイッチ

をオフに、前記第1トランジスタがオンの時は前記スイッチをオンにする。

【0019】(c) 基準電圧が供給され、電圧を生成して前記第1トランジスタのゲートに供給する電圧発生回路を更に備える。

【0020】(d) 前記電圧発生回路は、第1の端子が第2電圧ノードに接続され、第2の端子が前記第1トランジスタのゲートに接続された第2導電型の第2トランジスタと、第1の端子が第3電圧ノードに接続され、ゲートが前記第2トランジスタの前記第2の端子に接続された第1導電型の第3トランジスタと、第1の端子が前記第3トランジスタの第2の端子に接続された第1抵抗素子と、第1の端子が前記第1抵抗素子の第2の端子に接続され、第2の端子が第4電圧ノードに接続された第2抵抗素子と、第1の入力端子に基準電位が印加され、第2の入力端子が前記第1、第2抵抗素子間のノードに接続され、出力端子が前記第2トランジスタのゲートに接続されたコンパレータと、前記第1トランジスタのゲートと前記第4電圧ノード間に接続されたキャパシタとを備える。

【0021】(e) 前記フィードバックレギュレータは、第1の端子が前記出力端子に接続され、第2の端子が第2電圧ノードに接続された第2導電型の第2トランジスタと、第1の端子が前記出力端子に接続された第1抵抗素子と、第1の端子が前記第1抵抗素子の第2の端子に接続され、第2の端子が第3電圧ノードに接続された第2抵抗素子と、第1の入力端子に基準電位が印加され、第2の入力端子が前記第1、第2抵抗素子の接続ノードに接続され、出力端子が前記第2トランジスタのゲートに接続されたコンパレータとを備える。

【0022】この発明の半導体記憶装置は、ビット線に接続されたメモリセルと、前記ビット線の電位差を増幅するセンスアンプと、出力端子に電圧を生成し、前記センスアンプに供給する電圧発生器とを具備し、前記電圧発生器は、第1の端子が前記出力端子に接続された第1導電型の第1トランジスタと、前記出力端子に接続されたフィードバックレギュレータと、第1電圧ノードと前記第1トランジスタの第2の端子間に接続され、スイッチング信号を受けるスイッチとを備えることを特徴としている。

【0023】更に、上記構成の半導体記憶装置において、下記(f)～(j)のような特徴を備えている。

【0024】(f) 前記フィードバックレギュレータは、第1の端子が前記出力端子に接続され、第2の端子が第2電圧ノードに接続された第2導電型の第2トランジスタと、第1の端子が前記出力端子に接続された第1抵抗素子と、第1の端子が前記第1抵抗素子の第2の端子に接続され、第2の端子が第3電圧ノードに接続された第2抵抗素子と、第1の入力端子に基準電位が印加され、第2の入力端子が前記第1、第2抵抗素子の接続ノ

ードに接続され、出力端子が前記第2トランジスタのゲートに接続されたコンパレータとを備える。

【0025】(g) 前記メモリセルは、それぞれがトレンチキャパシタとスイッチングトランジスタとを備える。

【0026】(h) 前記スイッチは、第1の端子が前記第1電圧ノードに接続され、第2の端子が前記第1トランジスタの前記第2の端子に接続され、ゲートに前記スイッチング信号を受ける第2導電型の第2トランジスタを備える。

【0027】(i) 前記スイッチング信号を生成する回路を更に備え、この回路で生成したスイッチング信号により、前記第1トランジスタがオフの時は前記スイッチをオフに、前記第1トランジスタがオンの時は前記スイッチをオンにする。

【0028】(j) 基準電圧が供給され、電圧を生成して前記第1トランジスタのゲートに電圧を供給する電圧発生回路を更に備える。

【0029】上記のような構成の電圧発生器、及びこの電圧発生器を有する半導体記憶装置によれば、装置のスタンバイ、プリチャージ、及び/または低周波動作時におけるサブスレショルドリークによる電圧上昇を最小限に抑えることができる。従って、電圧クリープを十分に解消でき、安定な電圧を供給できる。また、消費電流を従来の電流ブリーダー回路を用いたものに比べて小さくできる。更に、第1のトランジスタのしきい値電圧を小さくできるので、第1のトランジスタのゲートに印加する電圧を昇圧する必要もない。

【0030】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0031】図1は、この発明の実施の形態に係る電圧発生器及び半導体記憶装置について説明するためのもので、半導体記憶装置における電源システムを抽出して概略的に示すブロック図である。この電源システム100は、VPP電源線102、VCC電源線104、VINT電源線106、VBLH電源線108、VSS電源線110、及びVBB電源線112を備えている。VPPポンプ回路114は、VCC電源線104に供給された電源電圧VCC(例えば+3.3V)を約3.4Vに昇圧する。この3.4Vの電圧VPPは、電源電圧VCCが2.8Vに低下した場合でも上記VPPポンプ回路114によって維持される。VINT発生器116は、上記電源電圧VCCを降圧して約2.5Vの内部電圧VINTを生成し、上記VINT電源線106に供給する。また、VBLH発生器118は、上記電源電圧VCCを降圧して約1.8Vの電圧VBLHを生成し、上記VBLH電源線108に供給する。VBBポンプ回路は、上記VSS電源線110の電圧VSSに基づいて約-0.8Vの電圧VBBを生成し、上記VBB電源線112に

供給する。

【0032】半導体記憶装置の各回路並びに各素子は、これらの様々な電源線にそれぞれ接続される。例えば、レシーバ120と周辺回路122（ロウデコーダ、カラムデコーダ等）はVINT電源線106とVSS電源線110間に接続される。上記レシーバ120は、入力信号線の変化を検出するための回路を備えている。この入力信号線に供給される入力信号としては、例えばローアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、ライトイネーブル信号/WE、クロックイネーブル信号CKE、クロック信号CLK、アドレス信号ADDRESS、及び他の関連信号等が含まれている。ワード線駆動回路及びビット線分離回路124は、VPP電源線102とVSS電源線110間に接続される。ビット線プリチャージ電圧発生器126は、VBLH電源線108とVSS電源線110間に接続される。カラム選択線駆動回路（CSLドライバ）130は、VINT電源線106とVSS電源線110間に接続される。メモリセルアレイ128は、図示しない第2のセンスアンプを介してVBLH電源線108、ウェルバイアス電圧を供給するためのVBB電源線112、転送トランジスタのゲートに接続されるVPP電源線102、及び図示しないセルキャパシタにプレート電圧を与えるためのVPL電源線等のいくつかの電圧レベル間に接続される。オフチップ駆動回路132はVCCQ電源線104'とVSSQ電源線110'間に接続される。

【0033】上記メモリセルアレイ128中には、図示しないメモリセルがマトリックス状に配置されている。このメモリセルアレイ128中のメモリセルは、例えばDRAMセル、好ましくはNesbit et al. "A 0.6 μ m² 256Mb Trench DRAM Cell With Self-Aligned Buried Strap (BEST)" IEDM Digest of Technical Papers, December 1993, pp.627-620に開示されているようなトレンチキャパシタ型のDRAMセルである。トレンチキャパシタ型のメモリにこの発明を適用する1つの利点は、VBLH発生器118の出力電位の安定化のためのデカップリングキャパシタとしてトレンチキャパシタを利用できる点である。しかしながら、この構造は、スタックキャパシタ型のメモリセル構造に適用しても有用である。スタックキャパシタ型のメモリセルにおいては、ビット線容量はトレンチキャパシタ型のメモリセルより大きくなり、VBLH発生器118の負荷電流もトレンチセルメモリのそれより大きくなる。これらの高いピーク電流を供給するためにも、ここで述べたようなシステムが有効である。同様に、この発明はSRAM、不揮発性メモリ、及びFRAM等にも適用できる。

【0034】図2は、上記図1に示した回路におけるメモリセルアレイ128の一部を示す回路図である。この図2では隣接するセルアレイ間で共有されるセンスアンプと、ローカルデータ線LDQをマスタデータ線MDQ

に接続するマスタデータバススイッチMDQSWを示している。図2におけるローカルデータ線LDQは、相補信号を伝送する配線である。同様に、マスタデータ線MDQも相補信号を伝送する配線である。マスタデータ線スイッチMDQSWは2つのスイッチを有しており、これらのスイッチとしてはMOS型のトランジスタスイッチが望ましく、ローカルデータ線LDQの各相補配線をマスタデータ線MDQの相補配線にそれぞれ接続する。

【0035】センスアンプは、n型センスアンプ部703とp型センスアンプ部704とを備えている。n型センスアンプ部703は第1のセンスアンプドライバ701によって駆動される信号/SANで制御され、p型センスアンプ部704は第2のセンスアンプドライバ702によって駆動される信号SAPで制御される。この第2のセンスアンプドライバ702には、VBLH発生器118の出力電圧VBLHが供給される。上記n型及びp型センスアンプ部703、704によって、ラッチ型のセンスアンプ705が形成される。このセンスアンプ705にラッチされた信号は、カラム選択スイッチCOLSWを介してローカルデータ線LDQに転送される。カラム選択スイッチCOLSWは、カラム選択線駆動回路（CSLドライバ）130で生成されたカラム選択信号CSLによって制御される。上記ラッチ型のセンスアンプ705は、それぞれn型センスアンプ部703とp型センスアンプ部704に隣接して配置された2つのイコライザ/マルチプレクサ（EQ/MUX）回路706、707の一方を介してビット線対に接続される。

【0036】上記図1に示した回路におけるビット線分離回路及びビット線プリチャージ回路は、図3に示すマルチプレクサ及びイコライザ回路にそれぞれ対応している。この回路のマルチプレクサ部は、図3に示すように2つの相補信号線のそれぞれに直列に接続されたスイッチングトランジスタ対を有している。図3において、第1のマルチプレクサは信号MUXi1（i=1, 2, ...）により制御され、第2のマルチプレクサはMUXir（i=1, 2, ...）により制御される。図3では、ビット線イコライザBLEQはビット線対の2つの相補ビット線を短絡するブロックとして機能的に示されている。従来は、このようなビット線イコライザは、ビット線対の配線間を短絡する単一の短絡スイッチトランジスタか、あるいは直列接続された2つの短絡スイッチトランジスタである。勿論、この発明はこのようなビット線イコライザBLEQの配置に制限されるものではない。

【0037】図2及び図3では、2つのイコライザ/マルチプレクサEQ/MUXのそれぞれに接続された2つのビット線対を示している。また、図中にはイコライザ/マルチプレクサに接続されるビット線対に隣接して配置された未接続の2つのビット線対も示している。すなわち、図2及び図3のセンスアンプ回路は、隣接するセルアレイ間で共有されるセンスアンプ回路である。

【0038】なお、この発明は図2及び図3に示したような回路構成に限られるものではなく、他の回路構成のセンスアンプを有する記憶装置やセルアレイ毎に対応して設けられる回路構成のセンスアンプを有する記憶装置にも適用できるのは言うまでもない。

【0039】また、図3では、ローカルデータバスLDQに接続されたマスタデータバススイッチMDQSWについて示している。センスアンプS/Aは、上述したようにn型及びp型のセンスアンプ部を有し、ビット線イコライザ回路BLEQは、短絡トランジスタスイッチを有している。信号MUXil、MUXirによって制御されるMOSトランジスタは、センスアンプを2つのセルアレイ間で共有させるマルチプレクサを形成する。信号の転送前には、ローカルデータ線を含む2つの相補配線は、ビット線イコライザ回路BLEQと同様のほぼ同様の形態で配置されたローカルデータ線イコライザLDQEQと同電位にされる。マスタデータ線スイッチMDQSWは、ローカルデータ線対LDQ、/LDQをマスタデータ線対MDQに接続する。この発明の半導体記憶装置におけるレイアウトの更なる詳細については、米国特許No. 5, 546, 349に示されている。

【0040】図4は、上記図1に示した回路におけるVBLH発生器118の構成例を示す回路図である。このVBLH発生器118は、電源VCCと電源VSS間に直列接続されたpチャネル型MOSトランジスタ140、nチャネル型MOSトランジスタ142、及びキャパシタ144を備えている。しかしながら、この構成に限られることなく、キャパシタ144はディープトレンチキャパシタで形成しても良い。上記pチャネル型MOSトランジスタ140のゲートにはRC回路145を介してスイッチング信号/SWが供給され、nチャネル型MOSトランジスタ142のゲートにはVppA発生器146の出力電圧VppAが供給される。RC回路145は、pチャネル型MOSトランジスタ140のオン/オフに伴う電流ピークを抑制する目的で付加しているが、このRC回路はなくても良い。

【0041】上記VppA発生器146は、電流通路の一端が電源VCCに接続され、電流通路の他端が上記nチャネル型MOSトランジスタ142のゲートに接続されたpチャネル型MOSトランジスタ160を備えている。nチャネル型MOSトランジスタ162は、電流通路の一端が電源VCCに接続され、ゲートがpチャネル型MOSトランジスタ160の電流通路の他端に接続されている。抵抗素子164の一端はnチャネル型MOSトランジスタ162の電流通路の他端に接続され、抵抗素子166の一端は抵抗素子164の他端に接続され、他端は電源VSSに接続されている。コンパレータ168の第1の入力端子には基準電位REFが印加され、第2の入力端子は抵抗素子164、166の接続ノードに接続されている。このコンパレータ168の出力端子

は、pチャネル型MOSトランジスタ160のゲートに接続されている。キャパシタ170は、nチャネル型MOSトランジスタ142のゲートと電源VSS間に接続されている。

【0042】出力電圧VBLHは、nチャネル型MOSトランジスタ142とキャパシタ144との接続ノードから出力される。

【0043】フィードバックレギュレータ148は、上記出力電圧VBLHを調整するものである。このフィードバックレギュレータ148は、内部電圧VINTとVSS間に直列に接続されたpチャネル型MOSトランジスタ150、及び抵抗素子152、154を備えている。また、第1の入力端子には基準電位REFが印加され、第2の入力端子に抵抗素子152、154の接続ノードの電圧が供給されるコンパレータ156を更に備えている。この実施例では、pチャネル型MOSトランジスタ150はVINTに接続されているが、VCCに接続する場合の回路も同様に構成できる。

【0044】図5(a)～(c)はそれぞれ、pチャネル型MOSトランジスタ140のゲートに供給されるスイッチング信号/SWと、メモリセルに接続されたワード線を選択するためのロウアドレスデコーダに供給され、ロウアドレスの取り込みのための同期信号である/RAS信号との関係を示すタイミングチャートである。図5(a)に示すように、/RAS信号がローレベル(=アクティブレベル)に遷移すると、この/RAS信号の活性化に応答して信号PRASが生成される。この信号PRASは、スイッチング信号/SWをローレベルに遷移させるものである。これによって、pチャネル型MOSトランジスタ140がターンオンする。上記信号PRASはパルス信号であり、立ち上がりのエッジが/RAS信号の立ち下がりに対応し、パルス幅は内部的に生成される。上記スイッチング信号/SWの立ち下がりエッジはパルス信号PRASの立ち上がりエッジに対応している。スイッチング信号/SWの立ち上がりエッジは、内部のディレイタイマーによる遅延によって生成される。pチャネル型MOSトランジスタ140はスイッチング信号/SWがローレベルの間、オン状態にある。このスイッチング信号/SWがローレベルである期間は、簡単なタイマーまたはパルス信号PRASにより活性化されるカウンタ回路によって決定される。このタイマーもしくはカウンタはVBLH発生器に関する制御回路であり、図1のVBLH発生器118の内部に配置される。タイマーまたはカウンタ回路によって決められた期間が終了すると、スイッチング信号/SWはハイレベルに戻り、pチャネル型MOSトランジスタ140もターンオフする。

【0045】図6は信号SAPと、/RAS、PRAS、/SW、VBLH、VppA、及びビット線電位の関係を共通の時間を基準にして示すタイミングチャート

である。

【0046】図5（b）は、パルス信号PRASの連続的な出現の期間が上記カウンタ回路またはタイマーで決められた期間より短いショートサイクルの場合について示している。この場合、スイッチング信号/SWは常にローレベルにあり、pチャネル型MOSトランジスタ140は常にオン状態にある。図5（c）は、パルス信号PRASの連続的な出現の期間が、図5（a）に示したように、パルス信号PRAS間の期間より長いロングサイクルの場合について示している。サイクルはRAS活性状態と次のRAS活性状態の間の周期となる。オートプリチャージ状態においては、RAS活性サイクル周期に対応している。バースト動作状態の場合、サイクルはRASとRASバンクアクティブ期間となる。

【0047】従って、比較的大きなnチャネル型MOSトランジスタ142は制限された時間のイネーブル状態となり、最大の電流IBLHを供給可能となる。他の時、例えばプリチャージ、または低周波動作時においては、フィードバックレギュレータ148はVBLHレベルを維持する。一例を挙げれば、電圧VBLHとVBLH発生器の電源はそれぞれ1.8Vと3.3Vである。従って、pチャネル型MOSトランジスタ140の電圧降下と配線抵抗はVBLH特性に影響を与えない。

【0048】ここで、pチャネル型MOSトランジスタ140と配線抵抗が電圧降下を引き起こした場合を考える。この電圧降下はVBLHのnMOSドライバであるnチャネル型MOSトランジスタ142のドレイン電位に影響を与える。そのため、もしVBLH発生器の電源電圧が電圧VBLHに近い場合、この電圧降下は電圧VBLHに影響を与える。しかし、電源電圧がVBLHより十分に大きい場合は、VBLHに影響を与えない。また、配線抵抗は回路の配置に左右されるが、通常nMOSドライバはセルアレイ付近に配置されているため、nMOSドライバのドレインは接続パッドから遠くなる。そのため、パッドとnMOSドライバの電源間の抵抗が比較的大きくなる。従って、VBLH発生器の電源電圧が電圧VBLHに近い場合には、配線抵抗による電位降下が小さくなるようにレイアウトすることが必要にな

る。

【0049】上記pチャネル型MOSトランジスタ140は、センスアンプの動作により電流がピークに達する前にターンオンし、ピークに達した後ターンオフする。上述したように、このスイッチングは簡単なタイマーまたはカウンタ回路を用いることで実現できる。上記pチャネル型MOSトランジスタ140と、外部電圧ノードとアレイ電圧ノード間の配線抵抗は電流ピーク値を抑制する。ここで、pチャネル型MOSトランジスタ140の抵抗と配線抵抗は、ここで示したシステムにおいて副作用としてとらえることもできるが、内部ノイズを減少させる効果もある。もし、pチャネル型MOSトランジスタ140の抵抗がゼロであるとすれば、nMOSドライバのターンオンは重大な di/dt 雑音問題の原因となる。この雑音問題は、従来のnMOS VBLH配置における損失の1つである。従って、ここで、少なくとも一つの見方としては、このシステムでは従来のnMOS VBLH配置における雑音問題を上記で定義した副作用により解消できるといえる。

【0050】また、フィードバックレギュレータ148は、プリーダー回路としても動作するが、この電流消費量はnMOSドライバのサブスレショルドリーク電流に依存しない。電流IBLHのほとんどはnチャネル型MOSトランジスタ142によって供給される。従って、フィードバックレギュレータ148には、大きな電流許容量や高い応答能力を必要としない。この構成は、内部電圧VINTを含む他の電圧に対しても有効であり、例えば、高速デバイスには高い電流発生器を必要とする。この点から、VINT電流の要求はVBLHの要求と同様であり、同様の構成が適用できる

【実施例】図7（a）～（c）はそれぞれ、この発明の効果について説明するためのシミュレーション結果を示している。シミュレーションはHSPICEシュミレーションソフトウェアを用いて行い、その際のパラメータについて下表1に示している。

【0051】

【表1】

パラメータ	値
nMOS駆動部のトータルチャネル幅	64000 μm
nMOS駆動部のチャネル長	0.36 μm
VBLHのトータル容量	32nF
pMOSスイッチのトータルチャネル幅	0.6nF
pMOSスイッチのチャネル	3200 μm
Vext	2.8V
Vint	2.4V

【0052】図7(a)は、図4に示した電圧発生器がpチャネル型MOSトランジスタ(pMOSスイッチ)140を含まないときのVBLHレベルとビット線BL、/BL(図1参照)を示しており、図7(b)は、図4に示した電圧発生器がpチャネル型MOSトランジスタ(pMOSスイッチ)140を含むときのVBLHレベルとビット線BL、/BL(図1参照)を示しており、図7(c)はpチャネル型MOSトランジスタ(pMOSスイッチ)140に供給されるスイッチング信号/SWのタイミングを示している。図7(a)に示すように、スタンバイ状態では、出力電圧VBLHが電圧ク

30

リープにより影響を受けており、電圧VBLHのレベルは徐々に上昇している。図7(b)では、pチャネル型MOSトランジスタ140を設けたことにより、スタンバイ状態の、pチャネル型MOSトランジスタ140がオフの時、出力電圧VBLHのレベルはほぼ一定であり、電圧クリープが十分に解消されていることが分かる。

40

【0053】上記VBLH電圧発生器は、サブスレシールドのリークによる電圧上昇を最小限にできる。従って、電圧クリープを十分に解消でき、安定な電圧VBLHを提供できる。加えて、従来のブリーダ回路を用いた電圧発生器に比べて消費電流も小さく(スタンバイ状態

50

実施できる。

【0055】

【発明の効果】以上説明したように、この発明によれば、装置のスタンバイ、プリチャージ、または低周波動作時におけるサブスレシールドリークによる電圧上昇を最小限に抑えたと共に安定な電圧を供給できる電圧発生器及びこの電圧発生器を備えた半導体記憶装置を提供できる。

【0056】また、消費電流を小さくできる電圧発生器及びこの電圧発生器を備えた半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】この発明の実施の形態に係る電圧発生器及び半導体記憶装置について説明するためのもので、半導体記憶装置における電源システムを抽出して概略的に示すブロック図。

【図2】図1に示した回路におけるメモリセルアレイの一部を示す回路図。

【図3】図1に示した回路におけるビット線分離回路及びビット線プリチャージ回路の詳細な構成例を示す回路図。

【図4】図1に示した回路におけるVBLH発生器の構成例を示す回路図。

【図5】pチャネル型MOSトランジスタのゲートに供給されるスイッチング信号と、メモリセルに接続されたワード線を選択するためのロウアドレスデコーダに供給され、ロウアドレス内でクロッキングを行う/RAS信号との関係を示すタイミングチャート。

【図6】図4に示したVBLH発生器の動作を説明するためのタイミングチャート。

【図7】この発明の効果について説明するためのシミュレーション結果を示す図。

【図8】従来の半導体記憶装置におけるビット線対の電位差を増幅するためのセンスアンプ回路と、その周辺回路の一部を抽出して示す回路図。

【図9】図8に示した回路におけるVBLH発生器として用いられる、従来のpMOS電圧発生器を示す回路図。

【図10】改良された従来の電圧発生器を示す回路図。

【図11】従来の他の電圧発生器について説明するためのもので、nMOSソースフォロワ型の電圧発生器の構成例を示す回路図。

【図12】図11に示した回路におけるVppA発生器の具体的な回路構成例を示す回路図。

【図13】図12に示したVppA発生器にブリーダ回路を加えて改良した電圧発生器を示す回路図。

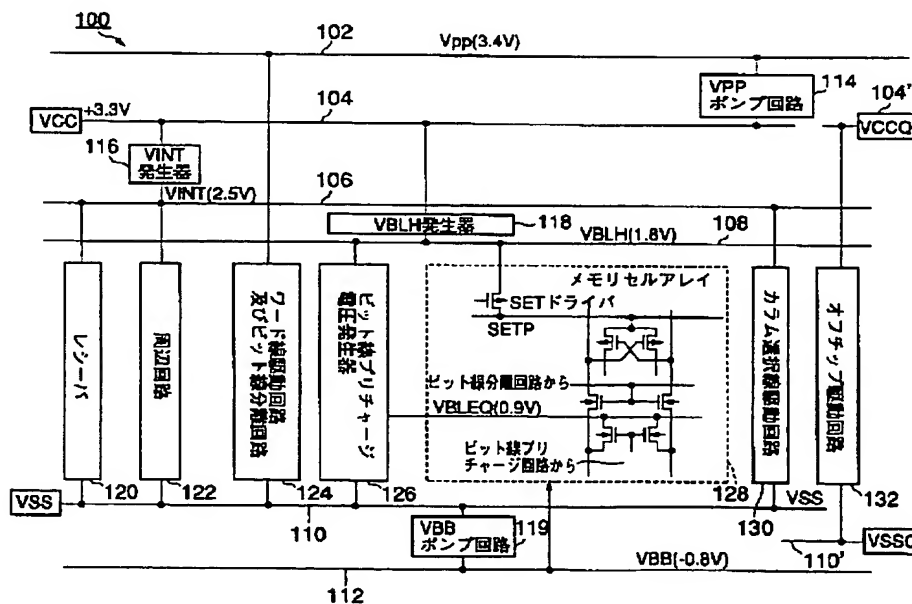
【図14】図11及び図13に示した従来の電圧発生器における電圧VBLHと時間との関係を示す図。

【符号の説明】

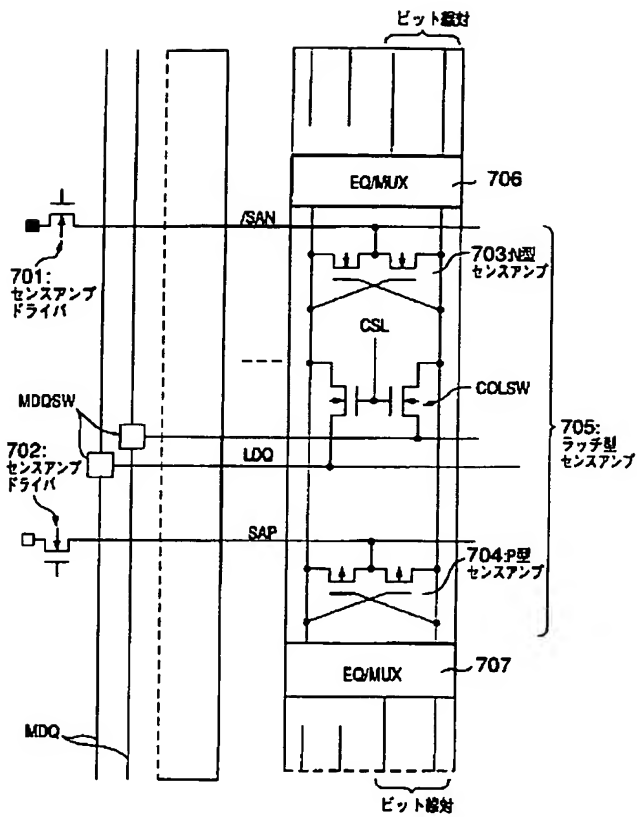
1…センスアンプ回路
2, 3, 14, 20, 140, 160…pチャネル型MOSトランジスタ
4, 5, 142, 150, 162…nチャネル型MOSトランジスタ
6…pチャネル型駆動MOSトランジスタ
7, 8…駆動信号線
10…pMOS電圧発生器
12, 156, 168…コンパレータ
16, 43, 48…第1の抵抗素子
18, 44, 49…第2の抵抗素子

32, 146…VppA発生器
34…nチャネル型駆動MOSトランジスタ
36…電流ブリーダ回路
40…nMOSソースフォロワ型の電圧発生器
100…電源システム
102…VPP電源線
104…VCC電源線
104'…VCCQ電源線
106…VINT電源線
108…VBLH電源線
110…VSS電源線
110'…VSSQ電源線
112…VBB電源線
114…VPP昇圧回路
118…VBLH発生器
120…レシーバ
122…周辺回路
124…ワード線駆動回路とビット線分離回路
126…ビット線プリチャージ電圧発生器
128…メモリセルアレイ
130…カラム選択線駆動回路
144, 170…キャパシタ
145…RC回路
148…フィードバックレギュレータ
152, 154, 164, 166…抵抗素子
701…第1のセンスアンプドライバ
702…第2のセンスアンプドライバ
703…n型センスアンプ部
704…p型センスアンプ部
705…ラッチ型センスアンプ

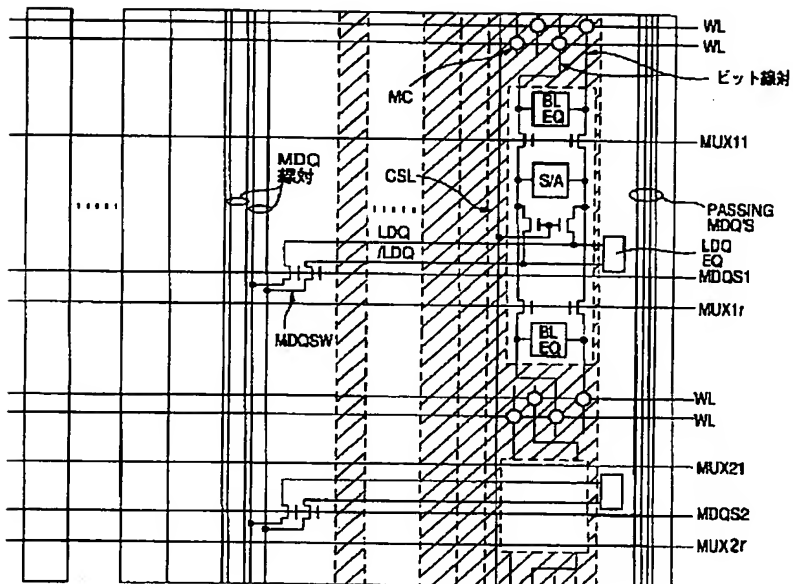
【図1】



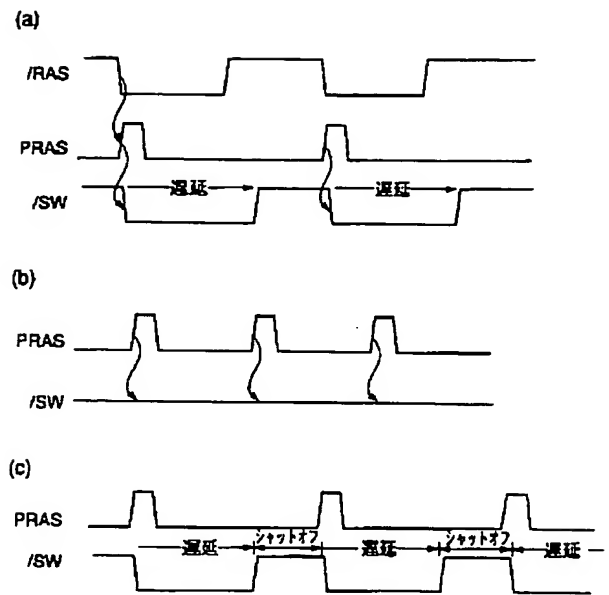
【図2】



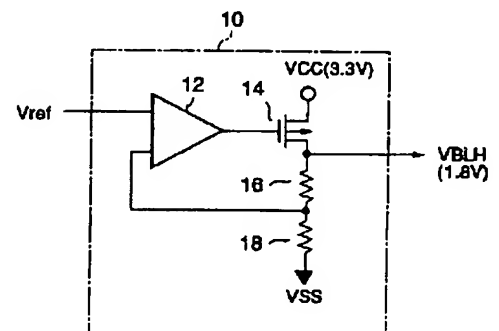
【図3】



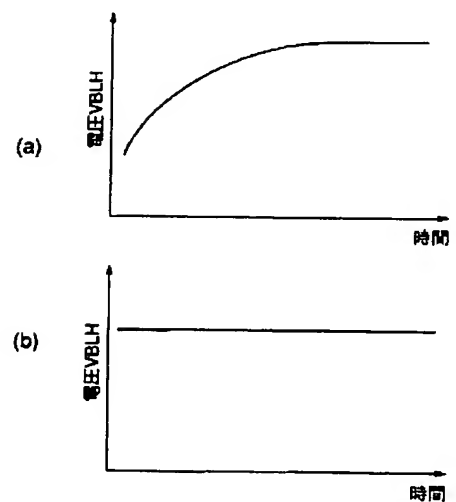
【図5】



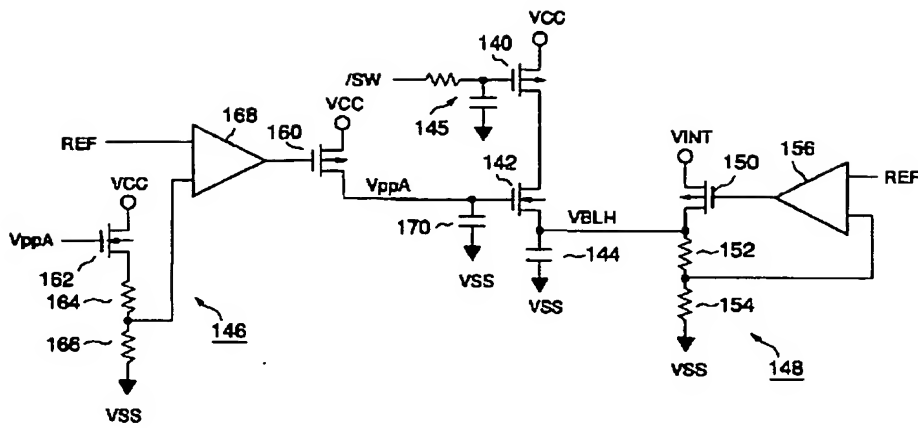
【図9】



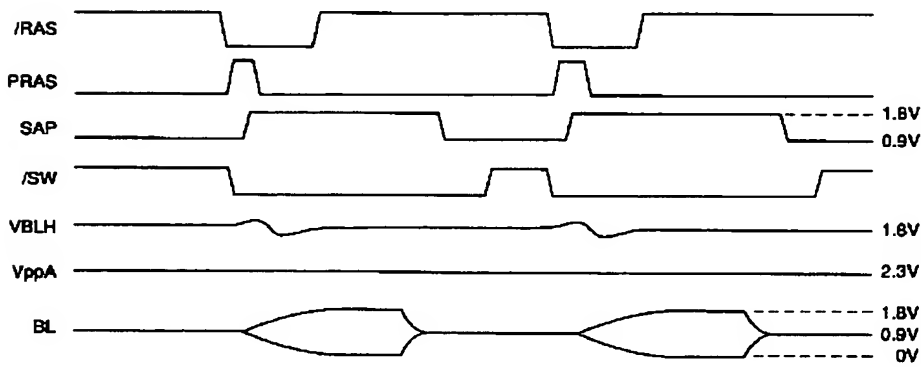
【図14】



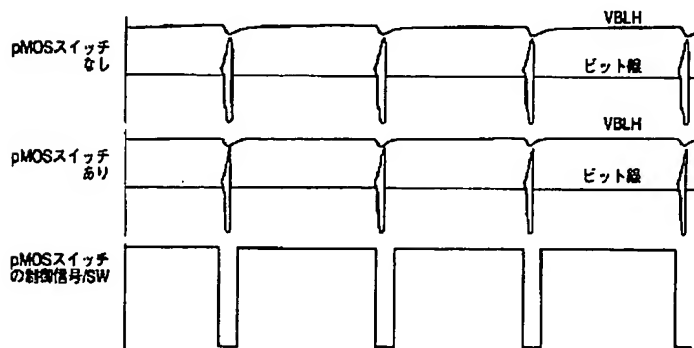
【図4】



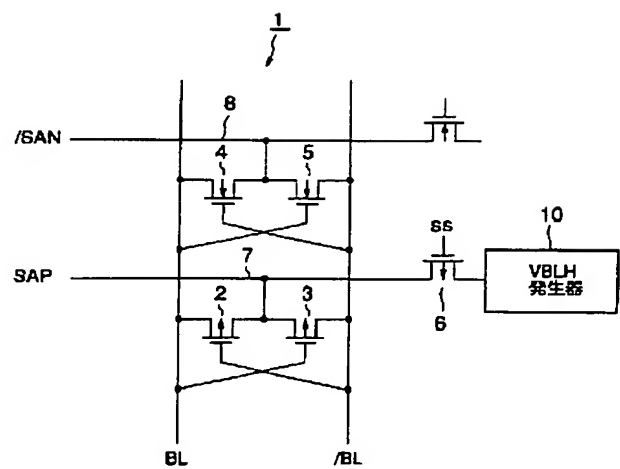
【図6】



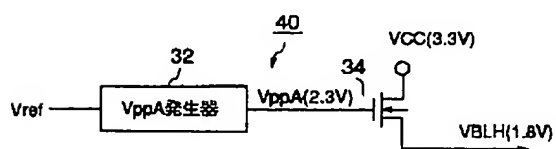
【図7】



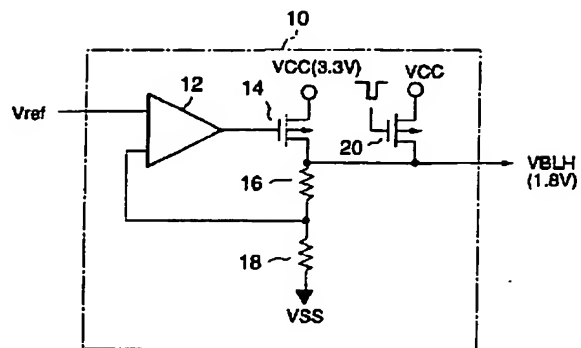
【図8】



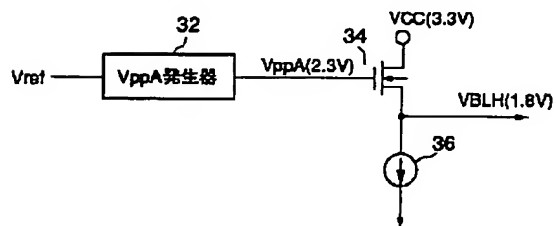
【図11】



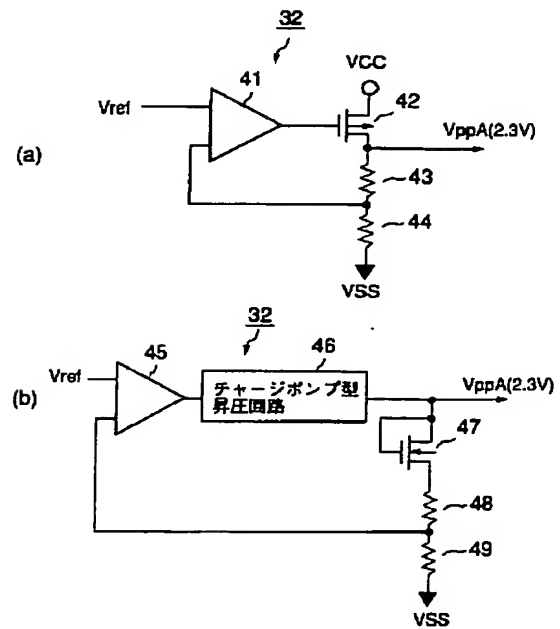
【図10】



【図13】



【図12】



フロントページの続き

(51)Int.Cl.⁷

H01L 21/8242

識別記号

F I

テームト(参考)